

AMENDMENT  
(Amendment under Provision of Law Article 11)

To Examiner of JPO, Tadashi SHINOZAKI

1. Indication of International Application      PCT/JP03/02651

2. Applicant

Name	SANKEN ELECTRIC CO., LTD.
Address	6-3, Kitano 3-chome, Niiza-shi, Saitama 352-8666, JAPAN
Nationality	JAPAN
Residence	JAPAN

3. Agent

Name	(9540) KIMURA Mitsuru
Address	2nd Floor Kyohan Building, 7, Kandanishiki-cho 2-chome, Chiyoda-ku, Tokyo 101-0054, JAPAN

4. Object of Amendment      Claims

5. Content of Amendment

As shown in the attached sheets,

(1) Claim 1 on page 23 is corrected to "An alternating current signal level detection circuit comprising:

a first comparator (52, 82) which receives a rectified voltage obtained by rectifying an alternating current signal generated by an alternating current power source, compares an instantaneous value of the

rectified voltage with a first reference voltage (V2), and represents by a first comparison result periods in which the instantaneous value exceeds the first reference voltage;

a second comparator (40, 70, 90) which compares the instantaneous value of the rectified voltage with a second reference voltage (V1) which is higher than the first reference voltage, and represents by a second comparison result periods in which the instantaneous value exceeds the second reference voltage;

a storage unit (53a, 54, 83a, 84) which stores information representing whether or not the rectified voltage exceeds the second reference voltage in each period in which the instantaneous value exceeds the first reference voltage (V2), based on the first comparison result and the second comparison result; and

a determination signal output unit (53b, 55, 83b, 85, 86) which represents by a high-low determination signal whether a level of the alternating current signal generated by said alternating current power source is high or low in each cycle of the rectified voltage, based on the information stored in said storage unit".

(2) Claim 2 on page 23 is corrected to "The alternating current signal level detection circuit according to claim 1, wherein said determination signal output unit represents by the high-low determination signal that the level of the alternating current signal generated by said alternating current power source is high when said storage unit stores information representing that the rectified voltage exceeds the second reference voltage, and represents by the high-low determination signal that the level of the alternating current signal generated by said alternating current power source is low when said storage unit stores information representing that the rectified voltage does not exceed the second reference voltage".

(3) Claim 3 on page 24 is corrected to "The alternating current signal level detection circuit according to claim 1, wherein the rectified voltage is a voltage obtained by full-wave rectifying the alternating current signal".

(4) Claim 4 on page 24 is corrected to "The alternating current signal level detection circuit according to claim 2, wherein said determination signal output unit (53b, 55) represents by the high-low determination signal

whether the level of the alternating current signal is high or low by referring to the information stored in said storage unit (53a, 54) when a level of the rectified voltage passes over the first reference voltage (V2) from a higher side to a lower side”.

(5) Claim 5 on page 24 is corrected to “The alternating current signal level detection circuit according to claim 2, wherein said determination signal output unit (83b, 85, 86) represents by the high-low determination signal whether the level of the alternating current signal is high or low by referring to the information stored in said storage unit (83a, 84) when a level of the rectified voltage exceeds the second reference voltage (V1) and when the level of the rectified voltage passes over the first reference voltage (V2) from a higher side to a lower side”.

(6) Claim 6 on page 25 is corrected to “The alternating current signal level detection circuit according to claim 4, wherein

said storage unit comprises:

a reset signal output unit (53a) which generates and outputs a reset signal (P1) based on the first comparison result of said first comparator (52) when the instantaneous value of the rectified voltage passes over the first reference voltage (V2) from the lower side to the higher side; and

a reset-set flip-flop circuit (54) which outputs a Q signal which is reset based on the reset pulse (P1) generated by said reset signal output unit (53a) and which is set based on the second comparison result of said second comparator (42) representing that the instantaneous value of the rectified voltage exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal, and

said determination signal output unit comprises:

a timing signal output unit (53b) which generates and outputs a timing signal (P2) based on the first comparison result of said first comparator (52) when the instantaneous value of the rectified voltage passes over the first reference voltage (V2) from the higher side to the lower side; and

a delay flip-flop circuit (55) which refers to the reset or set status of the Q signal output from said reset-set flip-flop circuit (54) when

the timing signal (P2) is output from said timing signal output unit (53b), and outputs a signal having a same status as the status referred to as the high-low determination signal”.

(7) Claim 7 on page 27 is corrected to “The alternating current signal level detection circuit according to claim 5, wherein

said storage unit comprises:

a reset signal output unit (83a) which generates and outputs a reset signal (P1) based on the first comparison result of said first comparator (82) representing that the instantaneous value of the rectified voltage exceeds the first reference voltage (V2); and

a reset-set flip-flop circuit (84) which outputs a Q signal which is reset based on the reset signal (P1) generated by said reset signal generation unit (83a) and which is set based on the second comparison result of said second comparator (72) representing that the instantaneous value of the rectified voltage exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal as the information, and

said determination signal output unit comprises:

a timing signal output unit (83b) which generates and outputs a timing signal (P2) based on the first comparison result obtained by determination of said first comparator (82);

a delay flip-flop circuit (85) which refers to the reset or set status of the Q signal output from said reset-set flip-flop circuit (84) when the timing signal (P2) is output from said timing signal output unit (83b), and outputs a signal having a same status as the status referred to; and

a logical OR operation unit (86) which implements a logical OR operation of an output signal from said reset-set flip-flop circuit (84) and said delay flip-flop circuit (85), and outputs a result of the logical OR operation as the high-low determination signal”.

(8) Claim 8 on page 27 is corrected to “The alternating current signal level detection circuit according to claim 2, comprising a first power source having the first reference voltage (V2) and a second power source having the second reference voltage (V1), wherein:

said first power source lowers the first reference voltage (V2) when the instantaneous value of the rectified voltage passes over the first

reference voltage (V2) from a lower side to a higher side; and

said second power source lowers the second reference voltage when the instantaneous value of the rectified voltage passes over the second reference voltage from a lower side to a higher side”.

(9) Claim 9 on page 27 is corrected to “An alternating current signal level detection circuit comprising:

a first comparator (52) which receives a rectified voltage obtained by rectifying an alternating current signal generated by an alternating current power source, compares an instantaneous value of the rectified voltage with a first reference voltage (V2), and represents by a first comparison result periods in which the instantaneous value exceeds the first reference voltage;

a second comparator (43) which compares the instantaneous value of the rectified voltage with a plurality of second reference voltages (V1, V3) which are higher than the first reference voltage, and represents by a second comparison result periods in which the instantaneous value exceeds any one of the second reference voltages;

a storage unit (53a, 54) which stores information representing whether or not the rectified voltage exceeds the second reference voltages in each period in which the instantaneous value exceeds the first reference voltage (V2), based on the first comparison result and the second comparison result; and

a determination signal output unit (53b, 55) which represents by a high-low determination signal whether a level of the alternating current signal generated by said alternating current power source is high or low in each cycle of the rectified voltage, based on the information stored in said storage unit”.

(10) Claim 10 “The alternating current signal level detection circuit according to claim 9, comprising a first power source having the first reference voltage (V2) and a second power source having the second reference voltages (V1, V3), wherein:

said first power source lowers the first reference voltage (V2) when the instantaneous value of the rectified voltage passes over the first reference voltage (V2) from a lower side to a higher side; and

said second power source lowers the second reference voltages when

the instantaneous value of the rectified voltage passes over the second reference voltages from a lower side to a higher side” is added after claim 9 on page 27.

6. List of Attached Documents

Claims page 23, page 24, page 25, page 26, page 27, page 27/1, and page 28

手続補正書  
(法第 1 1 条の規定による補正)

特許庁審査官 篠崎 正 殿



1. 国際出願の表示 PCT/J P 0 3 / 0 2 6 5 1

2. 出願人

名称 サンケン電気株式会社

SANKEN ELECTRIC CO., LTD.

あて名 〒352-8666 日本国埼玉県新座市北野3丁目  
6番3号

6-3, kitano 3-chome, Niiza-shi, Saitama

352-8666, JAPAN

国籍 日本国 J A P A N

住所 日本国 J A P A N

3. 代理人

氏名 (9540) 弁理士 木村 満

KIMURA Mitsuru



あて名 〒101-0054 日本国東京都千代田区神田錦町二丁目7番地  
協販ビル2階

2nd Floor Kyohan Building, 7, Kandanishiki-cho 2-chome,  
Chiyoda-ku, Tokyo 101-0054, JAPAN

4. 補正の対象 請求の範囲

5. 補正の内容

別紙のように、

(1) 請求の範囲、第19頁、第1項を「交流電源が発生する交流信号を整流した整流電圧を入力し、該整流電圧の瞬時値と第1の基準電圧(V2)とを比較し、該瞬時値が該第1の基準電圧を越えている期間を第1の比較結果で示す第1の比較器(52, 82)と、

前記整流電圧の瞬時値と前記第1の基準電圧よりも高い第2の基準電圧(V1)とを比較し、該瞬時値が該第2の基準電圧を越えている期間を第2の比較結果で示す第2の比較器(40, 70, 90)と、

前記第1の比較結果及び第2の比較結果に基づき、前記瞬時値が前記第1の基準電圧(V2)を超えた期間ごとに、前記整流電圧が前記第2の基準電圧を超えたか否かを示す情報を記憶する記憶部(53a, 54, 83a, 84)と、

前記記憶部に記憶された情報に基づき、前記交流電源が発生する交流信号のレベルが高いか低いかを前記整流電圧のサイクルごとに高低判定信号で示す判別信号出力部(53b, 55, 83b, 85, 86)と、

を備えることを特徴とする交流信号のレベル検出回路。」に変更する。

(2) 請求の範囲、第19頁第2項を「前記判別信号出力部は、前記整流電圧が前記第2の基準電圧を超えたことを示す情報を前記記憶部が記憶しているときに、前記交流電源が発生する交流信号のレベルが高いことを高低判定信号で示し、該整流電圧が該第2の基準電圧を超えないことを示す情報を該記憶部が記憶しているときに、該交流電源が発生する交流信号のレベルが低いことを高低判定信号で示すことを特徴とする請求項1に記載の交流信号のレベル検出回路。」に変更する。

(3) 請求の範囲、第20頁第3項を「前記整流電圧は、前記交流信号を全波整流した電圧であることを特徴とする請求項1に記載の交流信号のレベル検出回路。」に変更する。

(4) 請求の範囲、第20頁第4項を「前記判別信号出力部(53b, 55)は、前記記憶部(53a, 54)が記憶している前記情報を、前記整流電圧のレベルが前記第1の基準電圧(V2)を大きい方から小さい方に越えたときに参照して、該交流信号のレベルが高いか低いかを前記高低判別信号に示す、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。」に変更する。



(5) 請求の範囲、第20頁第5項を「前記判別信号出力部(83b, 85, 86)は、

記憶部(83a, 84)が記憶している情報を、前記整流電圧のレベルが前記第2の基準電圧(V1)を越えたときと前記第1の基準電圧(V2)を大きい方から小さい方に越えたときに参照して、該交流信号のレベルが高いか低いかを前記高低判別信号に示す、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。」に変更する。

(6) 請求の範囲、第21頁第6項を「前記記憶部は、前記整流電圧の瞬時値が前記第1の基準電圧(V2)を小さい方から大きい方に越えたときに前記第1の比較器(52)の第1の比較結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(53a)と、

前記リセット信号出力部(53a)が生成したリセット信号(P1)に基づいてリセットされ、前記整流電圧の瞬時値が前記第2の基準電圧(V1)を越えたことを示す前記第2の比較器(42)の第2の比較結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を記憶するリセットセットフリップフロップ回路(54)と、を備え、

前記判別信号出力部は、

前記整流電圧の瞬時値が前記第1の基準電圧(V2)を大きい方から小さい方に越えたときに前記第1の比較器(52)の第1の比較結果に基づいてタイミング信号(P2)を生成し、出力するタイミング信号出力部(53b)と、

前記タイミング信号出力部(53b)から前記タイミング信号(P2)が出力されたときに、前記リセットセットフリップフロップ回路(54)から出力されたQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を前記高低判別信号として出力する遅延型フリップフロップ回路(55)と、を備えた、

ことを特徴とする請求項4に記載の交流信号のレベル検出回路。」に変更する。

(7) 請求の範囲、第22頁第7項を「前記記憶部は、

前記整流電圧の瞬時値が前記第1の基準電圧(V2)を越えたことを示す前記

第1の比較器(82)の第1の比較結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(83a)と、

前記リセット信号生成部(83a)が生成したリセット信号(P1)に基づいてリセットされ、前記整流電圧の瞬時値が前記第2の基準電圧(V1)を越えたことを示す前記第2の比較器(72)の第2の比較結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、前記情報として記憶するリセットセットフリップフロップ回路(84)と、を備え、

前記判別信号出力部は、

前記第1の比較器(82)が判別した前記第1の比較結果に基づいてタイミング信号(P2)を生成し、出力するタイミング信号出力部(83b)と、

前記タイミング信号出力部(83b)から前記タイミング信号(P2)が出力されたときに、前記リセットセットフリップフロップ回路(84)から出力されたQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を出力する遅延型フリップフロップ回路(85)と、

前記リセットセットフリップフロップ回路(84)の出力信号と遅延型フリップフロップ回路(85)との論理和演算を行い、論理和演算の結果を、高低判別信号として出力する論理和演算部(86)と、を備えた、

ことを特徴とする請求項5に記載の交流信号のレベル検出回路。」に変更する。

(8) 請求の範囲、第22頁第8項を「 前記第1の基準電圧(V2)を有する第1の電源と、前記第2の基準電圧(V1)を有する第2の電源と、を備え、

前記第1の電源は、前記整流電圧の瞬時値が第1の基準電圧(V2)を小さい方から大きい方に越えたときに第1の基準電圧(V2)を低下させ、

前記第2の電源は、前記整流電圧の瞬時値が前記第2の基準電圧を小さい方から大きい方に越えたときに、該第2の基準電圧を低下させる、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。」に変更する。

(9) 請求の範囲、第22／1頁第9項を「 交流電源が発生する交流信号を整流した整流電圧を入力し、該整流電圧の瞬時値と第1の基準電圧(V2)とを比較し、該瞬時値が該第1の基準電圧を越えている期間を第1の比較結果で示す第1の比較器(52)と、

前記整流電圧の瞬時値と前記第 1 の基準電圧よりも高い 複数の第 2 の基準電圧 (V 1, V 3) とを比較し、該瞬時値がいずれか 1 つの第 2 の基準電圧を越えている期間を第 2 の比較結果で示す第 2 の比較器 (4 3) と、

前記第 1 の比較結果及び第 2 の比較結果に基づき、前記瞬時値が前記第 1 の基準電圧 (V 2) を越えた期間ごとに、前記整流電圧が前記第 2 の基準電圧を超えたか否かを示す情報を記憶する記憶部 (5 3 a, 5 4) と、

前記記憶部に記憶された情報に基づき、前記交流電源が発生する交流信号のレベルが高いか低いかを前記整流電圧のサイクルごとに高低判定信号で示す判別信号出力部 (5 3 b, 5 5) と、

を備えることを特徴とする交流信号のレベル検出回路。」に変更する。

( 1 0 ) 請求の範囲、第 2 2 / 1 頁、第 9 項の次に第 1 0 項の「 前記第 1 の基準電圧 (V 2) を有する第 1 の電源と、前記第 2 の基準電圧 (V 1, V 3) を有する第 2 の電源とを備え、

前記第 1 の電源は、前記整流電圧の瞬時値が第 1 の基準電圧 (V 2) を小さい方から大きい方に越えたときに第 1 の基準電圧 (V 2) を低下させ、

前記第 2 の電源は、前記整流電圧の瞬時値が前記第 2 の基準電圧を小さい方から大きい方に越えたときに、該第 2 の基準電圧を低下させる、

ことを特徴とする請求項 9 に記載の交流信号のレベル検出回路。」を追加する。

## 6. 添付書類の目録

請求の範囲第 1 9 頁、第 2 0 頁、第 2 1 頁、第 2 2 頁、及び第 2 2 / 1 頁

## 請求の範囲

1. (補正後) 交流電源が発生する交流信号を整流した整流電圧を入力し、該整流電圧の瞬時値と第1の基準電圧(V2)とを比較し、該瞬時値が該第1の基準電圧を越えている期間を第1の比較結果で示す第1の比較器(52, 82)と

、  
前記整流電圧の瞬時値と前記第1の基準電圧よりも高い第2の基準電圧(V1)とを比較し、該瞬時値が該第2の基準電圧を越えている期間を第2の比較結果で示す第2の比較器(40, 70, 90)と、

10 前記第1の比較結果及び第2の比較結果に基づき、前記瞬時値が前記第1の基準電圧(V2)を超えた期間ごとに、前記整流電圧が前記第2の基準電圧を超えたか否かを示す情報を記憶する記憶部(53a, 54, 83a, 84)と、

前記記憶部に記憶された情報に基づき、前記交流電源が発生する交流信号のレベルが高いか低いかを前記整流電圧のサイクルごとに高低判定信号で示す判別信号出力部(53b, 55, 83b, 85, 86)と、

を備えることを特徴とする交流信号のレベル検出回路。

2. (補正後) 前記判別信号出力部は、前記整流電圧が前記第2の基準電圧を超えたことを示す情報を前記記憶部が記憶しているときに、前記交流電源が発生する交流信号のレベルが高いことを高低判定信号で示し、該整流電圧が該第2の基準電圧を超えないことを示す情報を該記憶部が記憶しているときに、該交流電源が発生する交流信号のレベルが低いことを高低判定信号で示すことを特徴とする請求項1に記載の交流信号のレベル検出回路。

3. (補正後) 前記整流電圧は、前記交流信号を全波整流した電圧であることを特徴とする請求項1に記載の交流信号のレベル検出回路。

4. (補正後) 前記判別信号出力部(53b, 55)は、前記記憶部(53a, 54)が記憶している前記情報を、前記整流電圧のレベルが前記第1の基準電  
5 圧(V2)を大きい方から小さい方に越えたときに参照して、該交流信号のレベルが高いか低いかを前記高低判別信号に示す、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。

5. (補正後) 前記判別信号出力部(83b, 85, 86)は、  
記憶部(83a, 84)が記憶している情報を、前記整流電圧のレベルが前記  
10 第2の基準電圧(V1)を越えたときと前記第1の基準電圧(V2)を大きい方から小さい方に越えたときに参照して、該交流信号のレベルが高いか低いかを前記高低判別信号に示す、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。

6. (補正後) 前記記憶部は、前記整流電圧の瞬時値が前記第1の基準電圧(V2)を小さい方から大きい方に越えたときに前記第1の比較器(52)の第1の比較結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(53a)と、

5 前記リセット信号出力部(53a)が生成したリセット信号(P1)に基づいてリセットされ、前記整流電圧の瞬時値が前記第2の基準電圧(V1)を越えたことを示す前記第2の比較器(42)の第2の比較結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を記憶するリセットセットフリップフロップ回路(54)と、を備え、

10 前記判別信号出力部は、

前記整流電圧の瞬時値が前記第1の基準電圧(V2)を大きい方から小さい方に越えたときに前記第1の比較器(52)の第1の比較結果に基づいてタイミング信号(P2)を生成し、出力するタイミング信号出力部(53b)と、

前記タイミング信号出力部(53b)から前記タイミング信号(P2)が出力  
15 されたときに、前記リセットセットフリップフロップ回路(54)から出力されたQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を前記高低判別信号として出力する遅延型フリップフロップ回路(55)と、を備えた、

ことを特徴とする請求項4に記載の交流信号のレベル検出回路。

7. (補正後) 前記記憶部は、

前記整流電圧の瞬時値が前記第1の基準電圧(V2)を越えたことを示す前記第1の比較器(82)の第1の比較結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(83a)と、

- 5 前記リセット信号生成部(83a)が生成したリセット信号(P1)に基づいてリセットされ、前記整流電圧の瞬時値が前記第2の基準電圧(V1)を越えたことを示す前記第2の比較器(72)の第2の比較結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、前記情報として記憶するリセットセットフリップフロップ回路(84)と、を備え、

- 10 前記判別信号出力部は、

前記第1の比較器(82)が判別した前記第1の比較結果に基づいてタイミング信号(P2)を生成し、出力するタイミング信号出力部(83b)と、

- 前記タイミング信号出力部(83b)から前記タイミング信号(P2)が出力されたときに、前記リセットセットフリップフロップ回路(84)から出力され  
15 たQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を出力する遅延型フリップフロップ回路(85)と、

前記リセットセットフリップフロップ回路(84)の出力信号と遅延型フリップフロップ回路(85)との論理和演算を行い、論理和演算の結果を、高低判別信号として出力する論理和演算部(86)と、を備えた、

- 20 ことを特徴とする請求項5に記載の交流信号のレベル検出回路。

8. (補正後) 前記第1の基準電圧(V2)を有する第1の電源と、前記第2の基準電圧(V1)を有する第2の電源と、を備え、

前記第1の電源は、前記整流電圧の瞬時値が第1の基準電圧(V2)を小さい方から大きい方に越えたときに第1の基準電圧(V2)を低下させ、

- 25 前記第2の電源は、前記整流電圧の瞬時値が前記第2の基準電圧を小さい方から大きい方に越えたときに、該第2の基準電圧を低下させる、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。

9. (補正後) 交流電源が発生する交流信号を整流した整流電圧を入力し、該整流電圧の瞬時値と第1の基準電圧(V2)とを比較し、該瞬時値が該第1の基準電圧を越えている期間を第1の比較結果で示す第1の比較器(52)と、

前記整流電圧の瞬時値と前記第1の基準電圧よりも高い複数の第2の基準電圧(V1, V3)とを比較し、該瞬時値がいずれか1つの第2の基準電圧を越えている期間を第2の比較結果で示す第2の比較器(43)と、

前記第1の比較結果及び第2の比較結果に基づき、前記瞬時値が前記第1の基準電圧(V2)を超えた期間ごとに、前記整流電圧が前記第2の基準電圧を超えたか否かを示す情報を記憶する記憶部(53a, 54)と、

10 前記記憶部に記憶された情報に基づき、前記交流電源が発生する交流信号のレベルが高いか低いかを前記整流電圧のサイクルごとに高低判定信号で示す判別信号出力部(53b, 55)と、

を備えることを特徴とする交流信号のレベル検出回路。

10. (追加) 前記第1の基準電圧(V2)を有する第1の電源と、前記第2の基準電圧(V1, V3)を有する第2の電源とを備え、

前記第1の電源は、前記整流電圧の瞬時値が第1の基準電圧(V2)を小さい方から大きい方に越えたときに第1の基準電圧(V2)を低下させ、

前記第2の電源は、前記整流電圧の瞬時値が前記第2の基準電圧を小さい方から大きい方に越えたときに、該第2の基準電圧を低下させる、

20 ことを特徴とする請求項9に記載の交流信号のレベル検出回路。